

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-003968

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 09-152736

(71)Applicant : NEC CORP

(22)Date of filing : 11.06.1997

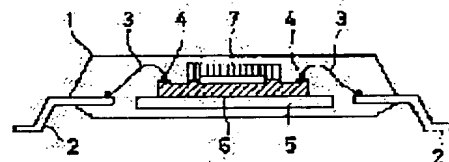
(72)Inventor : UCHIDA KOICHI

(54) MULTILAYERED STRUCTURED LSI

(57)Abstract:

PROBLEM TO BE SOLVED: To form an LSI into an LSI, which is good in packaging efficiency, by a method wherein first and second semiconductor chips laminated in such a way that the fellow electrode pads of the chips are electrically connected with each other are encapsulated in a single integrated package.

SOLUTION: A first LSI chip 6 is mounted on an island 5 and, moreover, a second LSI chip 7 is mounted on the island 5 in such a way as to opposite to the chip 6. Moreover, external pads provided on the chip 7 are electrically connected with external terminals 2 to encapsulate these chips in a plastic mold 1. That is, the chips 6 and 7 laminated in such a way that the fellow electrode pads of the chips 6 and 7 are electrically connected with each other are encapsulated in the single integrated package. In such a way, the chip 7 is mounted on the chip 6, and the fellow internal pads of the chips 6 and 7 are electrically connected with each other to constitute an LSI into a two-step structure.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3968

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 25/065

H 0 1 L 25/08

B

25/07

25/18

審査請求 有 請求項の数 4 O L (全 4 頁)

(21) 出願番号 特願平9-152736

(22) 出願日 平成9年(1997) 6月11日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 内田 浩一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

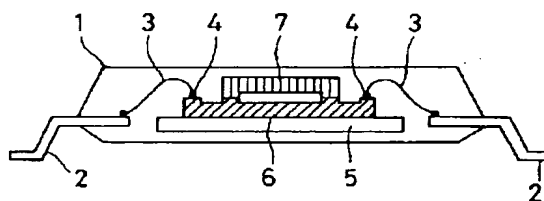
(54) 【発明の名称】 多層構造化 L S I

(57) 【要約】

【課題】 より実装効率の良い L S I を実現する。

【解決手段】 チップ 6 及び 7 を L S I パッケージ 1 の中に封入する際に、そのパッド同士が電氣的に接続されるように積層する。

【効果】 チップを複数段重ね合わせることによって、物理的なチップ面積を増やし、搭載ゲート数を増やすことができる。チップ間だけでやり取りする信号を極力減らし、半導体の配線領域だけで済ませることによって、外部に引き出す信号を最小限にとどめる。かかる構成を採用して基板上の L S I の点数を減らすことにより、配線領域を減らすこともできる。



1

【特許請求の範囲】

【請求項1】 互いの電極パッド同士が電気的に接続されるように積層された第1及び第2の半導体チップが単一の集積パッケージに封入されてなることを特徴とする多層構造化LSI。

【請求項2】 前記第1の半導体チップの一主面の所定位置に設けられた第1の電極パッドに対応する前記第2の半導体チップの一主面の位置に第2の電極パッドが設けられ、前記第1及び第2の半導体チップの一主面同士が対向するように積層されることによって前記第1の電極パッドと前記第2の電極パッドとが電気的に接続されることを特徴とする請求項1記載の多層構造化LSI。

【請求項3】 前記第1の半導体チップの一主面と前記第2の半導体チップの一主面とはその大きさが互いに異なることを特徴とする請求項2記載の多層構造化LSI。

【請求項4】 外部信号を前記第1及び第2の半導体チップに対して入出力せしめるための外部端子を更に含むことを特徴とする請求項1～3のいずれかに記載の多層構造化LSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層構造化LSI (Large Scale Integrated Circuit) に関し、特にLSIチップのパッケージングに関する。

【0002】

【従来の技術】従来のLSIチップは、LSIパッケージ内に2次元的に配置されている。すなわち、図3に示されているように、従来のLSIチップは、金属製のアイランド5の上にLSIチップ20が搭載され、このチップ20に設けられている外部パッドと外部端子(リード)2とが電気的に接続されている。図中の3は、その外部パッドと外部端子2とを接続するボンディングワイヤであり、4はボンディングワイヤ3と外部パッドとの接続点である。そして、これらアイランド5、LSIチップ20、外部端子2、ボンディングワイヤ3がプラスチックモールド1内に封入されている。

【0003】LSIチップ20は、図4に示されているように、チップ周辺部に設けられた外部パッド21と、チップ中心部に設けられた内部セル領域23と、これら外部パッド21と内部セル領域23との間に設けられたI/O (Input/Output) セル領域22とを含んで構成されている。このチップ20が上述した図3に示されているように搭載されることで、所定の機能を実現することができるのである。

【0004】ところで、LSIの中には、複数の半導体チップが1つのLSIパッケージに搭載されているものもある。しかし、その中身は複数のチップが基板上に搭載され、各チップ間の信号は基板上の配線パターンによ

2

って伝達される。したがって、配線領域が大変場所をとるので、実装効率の良いパッケージの使い方をしているとはいえない。

【0005】

【発明が解決しようとする課題】上述したように、従来のLSIチップでは実装効率が悪い。したがって、この従来の2次元的な配置では搭載できるゲート数に限界があった。このため、より実装効率の良いLSIパッケージの実現が望まれていた。

10 【0006】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はより実装効率の良いLSIを提供することである。

【0007】

【課題を解決するための手段】本発明による多層構造化LSIは、互いの電極パッド同士が電気的に接続されるように積層された第1及び第2の半導体チップが単一の集積パッケージに封入されてなることを特徴とする。

20 【0008】要するに本LSIでは、チップを複数段重ね合わせることによって、物理的なチップ面積を増やし、搭載ゲート数又は換算ゲート数を増やすのである。つまり、1つしか機能を有しないチップをLSIパッケージの中に封入する際に数段重ね合わせる。さらにチップ間だけでやり取りする信号を極力減らし、半導体の配線領域だけで済ませることによって、外部に引き出す信号を最小限にとどめる。このような構成を採用して基板上のLSIの点数を減らすと、配線領域も減らすことができる。このように本発明は、3次元的な配置によって、より多くのチップ面積をパッケージ内に収めようとするものである。

30 【0009】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。

40 【0010】図1は本発明による多層構造化LSIの実施の一形態を示す断面図である。同図において、図3と同等部分は同一符号により示されており、その部分の詳細な説明は省略する。本LSIは、アイランド5の上に、LSIチップ6が搭載され、さらにこのチップ6に對向するようにチップ7が搭載されている。また、チップ7に設けられている外部パッドと外部端子2とが電気的に接続されている。そして、図3の場合と同様に、これらがプラスチックモールド1内に封入されている。すなわち、互いの電極パッド同士が電気的に接続されるように積層されたチップ6及び7単一の集積パッケージに封入されているのである。

50 【0011】このように本LSIでは、チップ6の上に別のチップ7が搭載され、チップ6及びチップ7の内部パッド同士を電気的に接続して2段構造にしている。そして本例では、従来のチップ20 (図3参照) とほぼ同一な大きさのチップ6の上にひとまわり小さなチップ7が搭載されている。

【0012】チップ6は、図2に示されているように、チップ周辺部に設けられた外部パッド10と、チップ中心部に設けられた内部セル領域12及び14と、外部パッド10と内部セル領域12との間に設けられたI/Oセル領域11とを含んで構成されている。さらに、内部セル領域12と内部セル領域14との間には、内部パッド13が設けられている。

【0013】一方チップ7には、チップ周辺部に設けられた内部パッド8と、チップ中心部に設けられた内部セル領域9とを含んで構成されている。チップ7の内部パッド8の設けられている位置は、チップ6の内部パッド13の設けられている位置に対応している。

【0014】これらチップ6とチップ7との接続は以下のように行われる。すなわち、同図中の矢印Yに示されているように、チップ7を裏返す。そして、チップ7の内部パッド8の対応する部分とチップ6の内部パッド13の対応する部分とが重なるように、チップ6の上にチップ7を被せる。このチップの積層状態で、両チップを固定する。この後は、従来の製造工程と同様に、ボンディング工程やプラスチックモールド工程等を経ることによって、図1の様なLSIができあがるのである。

【0015】このように、LSIチップを立体的に接続することによって、同じ面積を占有するLSIパッケージよりも多くのゲートを確保することができるのである。内部パッド8と内部パッド13とは一対一に対応し、対応するもの同士が接続される。したがって、パッドの配列や形状、大きさ等は同一でなければならない。その仕様を標準化しておけば、チップ本体の材質やプロセスは必ずしも同じでなくても構わない。したがって、標準化することにより、製造メーカーの異なる複数のチップ同士を接続したり、もともと同じ外部インタフェースを持つLSI同士をチップ上で複数接続することもできる。

【0016】なお、内部パッド同士の電気的接続には、既存の技術であるビーム・リード (beam lead) 方式を使用する。この接続方法は一方のチップのボンディング・パッドを逆さまにしてAu (金) を用いて加熱して他方のチップのパッドと接続する方法である。

【0017】また、内部パッド同士の間隔を十分にとり、導電性接着剤を用いて内部パッド同士を接続しても良い。

【0018】

【実施例】再び図2を参照して説明する。いま、チップ6が汎用のコンピュータのコアロジックであると仮定する。汎用コンピュータの回路において、一般にコアロジックは、マイクロプロセッサに対して、ローカルバスと呼ばれる一連の信号群によって接続される。このローカルバスは、コアロジックとマイクロプロセッサとの間だけで接続されている場合が多く、しかも信号遅延等が生じるために基板上の配線に制約条件がつくためにかなり

のスペースが要求される。

【0019】そこで、マイクロプロセッサをチップ7のような形で製造し、ローカルバスであった部分を内部パッド8として標準化しておく。同様に、チップ6の内部パッド13もローカルバスの仕様で設計し、パッドの大きさや位置を予め合わせておく。こうしておけば、図1に示されているように、チップ6とチップ7とを重ね合わせて直接接続できるようになる。

【0020】他にも同様に、配線領域を大量に必要とするものにPCI (Peripheral Component Interconnect) バスやISA (Industry Standard Architecture) バス等がある。特に拡張性を追及せずにこれらの汎用バスも外部に出す必要がなければ、コアロジックの内部にPCIバスやISAバス等の内部パッドを設け必要に応じて画像用チップや汎用のI/Oチップを次々に重ねて接続していけば、全てのLSIチップが1つのパッケージの中に収まることになる。

【0021】そのためには、チップに形成される内部パッドは片面だけでなく、両面に形成する必要がある。よって、チップ及びパッケージの厚みを無視すれば、理論的には、何段でもチップを重ね合わせることができるのである。

【0022】なお本実施例では、チップ7には外部パッドが形成されていない。両チップの大きさを同一にしチップ7にも外部パッドを設ければ、両チップの外部パッド同士が接続されることになる。つまり、チップの大小にかかわらず、2つのチップの対応するパッド同士が電気的に接続されるように両チップが積層されるのである。

【0023】以上のように、LSIを多層構造にすることにより、複数のチップを同じLSIパッケージ内に収めることができ、小スペースで高機能を実現できる他、汎用インタフェースを内部パッドとして標準化しておくことにより、異なるメーカーのさまざまな種類のチップについて、その仕様を理解せずに、汎用品として取込むことができるのである。このことにより、汎用品として存在するチップは新たに開発する必要がなくなり、開発期間の短縮が図れるのである。しかも、チップ個々の製造プロセスは必ずしも同一である必要がなくなる。

【0024】また、PCIバスやISAバスのような汎用バスを内部で完結させるようにすれば、基板上にそれらの信号を引き出さずに済むので、基板上の配線数が減少し、基板がコンパクトになる。さらに、汎用バスが内部で完結しているということは、チップ間に配線容量等の余計な負荷容量がかからないため、チップ間の負荷容量は単純にロジックのみの負荷容量に極めて近くなるので信号波形が安定し、チップ間における波形の乱れから起こる誤動作が激減する。同時に、チップ間の信号波形を整形するために使用されていたダンピング抵抗等の波

形成用の部品も実装する必要がなくなるのである。

【0025】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0026】(1) 前記第1の電極パッドと前記第2の電極パッドとの電氣的接続は、ビームリード方式によって行われることを特徴とする請求項1～4のいずれかに記載の多層構造化LSI。

【0027】(2) 前記第1の電極パッドと前記第2の電極パッドとの電氣的接続は、導電性接着剤を用いて行われることを特徴とする請求項1～4のいずれかに記載の多層構造化LSI。

【0028】

【発明の効果】以上説明したように本発明は、両チップに設けられたパッド同士が電氣的に接続されるようにチップを積層することにより、LSIの実装効率を高めることができるという効果がある。

【図面の簡単な説明】

*【図1】本発明の実施の一形態による多層構造化LSIの構成を示す断面図である。

【図2】図1中の各LSIチップの構造を示す図である。

【図3】従来のLSIの構成を示す断面図である。

【図4】図3中のLSIチップの構造を示す図である。

【符号の説明】

1 プラスチックモールド

2 外部端子

3 ボンディングワイヤ

4 接続点

5 アイランド

6, 7 LSIチップ

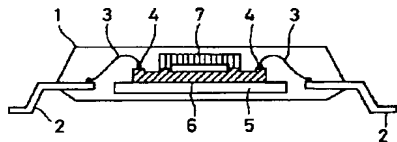
8, 13 内部パッド

10 外部パッド

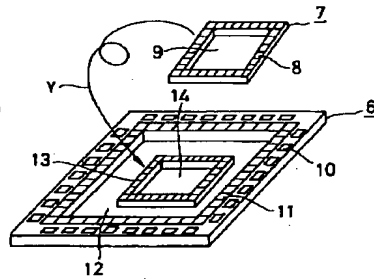
9, 14 内部セル領域

* 13 I/Oセル領域

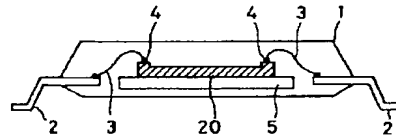
【図1】



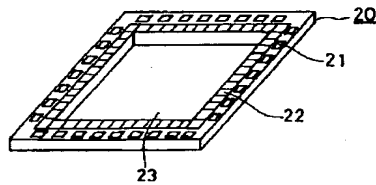
【図2】



【図3】



【図4】



拒絶理由通知書

期 限 17 年 11 月 7 日

特許出願の番号 平成11年 特許願 第026541号
 起案日 平成17年 9月 1日
 特許庁審査官 酒井 英夫 9631 4R00
 特許出願人代理人 稲岡 耕作 (外 1名) 様
 適用条文 第29条第1項、第29条第2項



この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の請求項1-7に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。
2. この出願の請求項1-7に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

引用文献1には、チップ20上にチップ10及びチップ30をバンプを介して実装する技術であって、各々のチップにおけるパッド配置を標準化することによって、メモリセル容量の異なるチップ等の異なるチップを任意に組み合わせて半導体集積回路を形成する技術が記載されている(特に、図1、【0009】及び【0011】)。

引 用 文 献 等 一 覧

1. 特開平05-243482号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 H01L 25/00-25/18
- ・先行技術文献 特開平11-003968号公報

特開平10-111864号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

なお、補正の際には、本願の出願当初の明細書又は図面に記載した事項のほか、出願当初の明細書又は図面に記載した事項から自明な事項の範囲内で行わなければならないことに充分留意されたい。また、各補正事項について補正が適法なものである理由を、意見書にて根拠となる出願当初の明細書等の記載箇所を明確に示したうえで主張されたい。

この拒絶理由通知書についてのお問い合わせ先

特許審査第三部 電子素材加工 審査官 酒井 英夫

電 話 03-3581-1101 (内線3469)

FAX 03-3501-0673